

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314516

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H04L 7/02
G06F 1/12

(21)Application number : 2001-118548

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.04.2001

(72)Inventor : SASE TAKUYA
TAMURA YASUTAKA

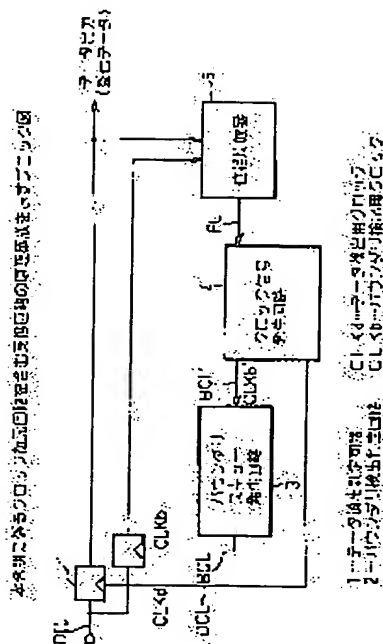
(54) CLOCK RECOVERY CIRCUIT AND RECEPTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To solve problems of a conventional reception circuit (clock recovery circuit) that has had a large amplitude of a limit cycle signal and a feedback loop characteristic with large jitter dependence and signal level dependence (that is, difficulty in prediction of circuit characteristics).

SOLUTION: The reception circuit including the clock recovery circuit is configured such that a phase comparator 5 compares phases of outputs received from a data detection determination circuit 1 for detecting and discriminating data of an input signal and a boundary detection determination circuit 2 for detecting and determination a boundary of the input signal, a clock signal generating circuit 4 receives an output of the phase comparator 5 to supply a 1st internal clock CLKd to the data detection determination circuit 1 and also to supply a 2nd internal clock CLKb to the boundary detection determination circuit 2, and a boundary skew generating circuit 3 controls the skew of the 2nd internal clock so as to change a detection timing of the boundary by the boundary detection determination circuit 2.

図 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開2002-314516

(P2002-314516A)

(43)公開日 平成14年10月25日(2002.10.25)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H04L 7/02

H04L 7/02

Z 5K047

G O 6 F 1/12

G O 6 F 1/04

340Z

審査請求 未請求 請求項の数10 O.L. (全 16 頁)

(21)出願番号 特願2001-118548(P2001-118548)

(22) 出願日 平成13年4月17日(2001.4.17)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 佐瀬 拓矢

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 田村 泰孝

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

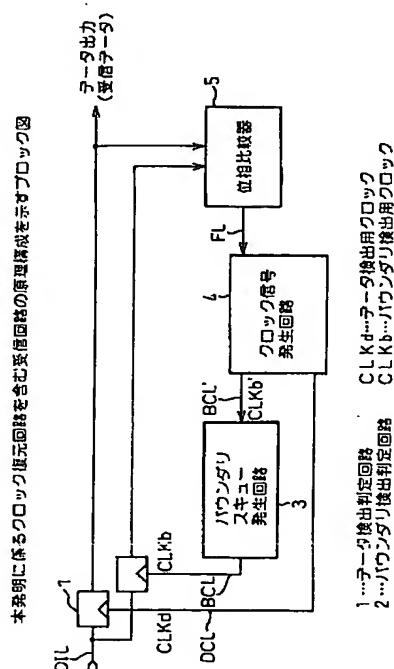
[最終頁に続く](#)

(54) 【発明の名称】 クロック復元回路および受信回路

(57) 【要約】

【課題】 従来の受信回路（クロック復元回路）は、リミットサイクル信号の振幅が大きく、また、帰還ループ特性のジッター依存性や信号レベル依存性が高い（すなわち、回路特性の予測が困難）といった課題がある。

【解決手段】 入力信号のデータを検出および判定するデータ検出判定回路１および該入力信号のバウンダリを検出および判定するバウンダリ検出判定回路２からの出力を受け取って位相比較器５で位相比較を行い、クロック信号発生回路４により該位相比較器５の出力を受け取って前記データ検出判定回路１に第１の内部クロックCLK aを供給すると共に前記バウンダリ検出判定回路２に第２の内部クロックCLK bを供給し、バウンダリスキュー発生回路３により前記第２の内部クロックに与えるスキューを制御して前記バウンダリ検出判定回路２におけるバウンダリの検出タイミングを変化させるように構成する。



【特許請求の範囲】

【請求項1】 第1の信号に応じて入力信号のバウンダリを検出および判定するバウンダリ検出判定回路を有し、該検出されたバウンダリに応じて該第1の信号のタイミングを制御してクロックの復元を行うクロック復元回路であって、

前記第1の信号を制御して前記バウンダリ検出判定回路におけるバウンダリの検出タイミングを変化させるようにしたことを特徴とするクロック復元回路。

【請求項2】 請求項1に記載のクロック復元回路において、前記バウンダリ検出判定回路は、前記入力信号のバウンダリを検出する本来のタイミングに対して時間的にばらついたタイミングでバウンダリの検出を行うことを特徴とするクロック復元回路。

【請求項3】 請求項2に記載のクロック復元回路において、さらに、前記第1の信号を異なる時間だけ遅延させる位相インターポレータを備え、該位相インターポレータへのコードに変調を与えることを特徴とするクロック復元回路。

【請求項4】 請求項2に記載のクロック復元回路において、さらに、前記第1の信号を異なる時間だけ遅延させる可変遅延回路を備えることを特徴とするクロック復元回路。

【請求項5】 請求項1に記載のクロック復元回路において、前記バウンダリ検出判定回路は、複数のバウンダリ検出ユニットを備え、該各バウンダリ検出ユニットは、各バウンダリ検出ユニット制御信号に応じてそれぞれバウンダリの検出を行うことを特徴とするクロック復元回路。

【請求項6】 入力信号のデータを検出および判定するデータ検出判定回路と、
該入力信号のバウンダリを検出および判定するバウンダリ検出判定回路と、
該データ検出判定回路および該バウンダリ検出判定回路からの出力を受け取って位相比較を行う位相比較器と、
該位相比較器の出力を受け取って前記データ検出判定回路に第1の内部クロックを供給すると共に前記バウンダリ検出判定回路に第2の内部クロックを供給するクロック信号発生回路と、
前記第2の内部クロックに与えるスキューを制御して前記バウンダリ検出判定回路におけるバウンダリの検出タイミングを変化させるバウンダリスキュー発生回路と、
を備えることを特徴とする受信回路。

【請求項7】 請求項6に記載の受信回路において、前記バウンダリ検出判定回路は、複数のバウンダリ検出ユニットを備え、該各バウンダリ検出ユニットは、各バウンダリ検出ユニット制御信号に応じてそれぞれバウンダリの検出を行うことを特徴とする受信回路。

【請求項8】 請求項7に記載の受信回路において、前記バウンダリスキュー発生回路は、前記入力信号のバウ

ンダリを検出する本来のタイミングに対して時間的にばらついたタイミングの前記各バウンダリ検出ユニット制御信号をそれぞれ前記各バウンダリ検出ユニットに供給することを特徴とする受信回路。

【請求項9】 請求項8に記載の受信回路において、前記バウンダリスキュー発生回路は、前記各バウンダリ検出ユニット制御信号をそれぞれ異なる時間だけ遅延させる位相インターポレータを備え、該位相インターポレータのコードに変調を与えて前記スキューを制御することを特徴とする受信回路。

【請求項10】 請求項8に記載の受信回路において、前記バウンダリスキュー発生回路は、前記各バウンダリ検出ユニット制御信号を異なる時間だけ遅延させる複数の可変遅延回路を備えることを特徴とする受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のLSIチップ間や1つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の筐体間の信号伝送を高速に行うための技術に関し、特に、帰還ループ型のクロック信号発生回路を用いたクロック復元回路および受信回路に関する。

【0002】近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、DRAM (Dynamic Random Access Memory) 等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

【0003】具体的に、例えば、DRAM等の主記憶装置とプロセッサとの間(LSI間)の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった筐体やボード(プリント配線基板)間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化(信号振幅の低レベル化)等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。

【0004】そこで、高速の信号伝送を実現するために、リミットサイクル信号の振幅が小さく、帰還ループ特性のジッター依存性や信号レベル依存性の小さい(すなわち、回路特性の予測が容易な)クロック復元回路および受信回路の提供が要望されている。

【0005】

【従来の技術】近年、LSIやボード間、或いは、筐体間のデータ伝送量の増加に対応するために、1ピン当たりの信号伝送速度を増大させる必要がある。これは、ピン数を増やすことによるパッケージ等のコストの増大を

避けるためでもある。その結果、最近では、LSI間の信号伝送速度が1Gbpsを超え、将来(3年から8年程度先)には、4Gbps或いは10Gbpsといった極めて高い値(高速の信号伝送)になることが予想されている。

【0006】例えば、LSI間の信号伝送を高速化するには、送られてくる信号に対して受信回路が正確なタイミングで動作する(データの検出および判定を行う)ことが必要である。従来、このような正確なタイミングのクロック(内部クロック)を発生させるために、帰還ループ型のクロック信号発生回路を用いたクロック復元回路を信号受信回路に設ける手法が知られている。ここで、クロック復元における位相可変の重みの値は、例えば、外部からの入力クロックと内部クロックとの位相比較を行う位相比較器から発生される。

【0007】図1は従来のクロック復元回路を含む受信回路の一例を概略的に示すブロック図であり、4-way×2型のインターリーブ回路として構成したものである。図1において、参照符号111～114はデータ検出ユニット、121～124はバウンダリ検出ユニット、104は位相インターポレータ、そして、105は位相比較器を示している。また、参照符号DILはデータ入力ライン、DCLはデータ検出用クロックライン、BCLはバウンダリ検出用クロックライン、そして、FLはフィードバックラインを示している。

【0008】図1に示されるように、従来のクロック復元回路(受信回路)は、位相インターポレータ(位相可変タイミング信号発生回路)104に対して2組の差動クロック信号を4位相の入力信号(四相クロック)を与え、その位相インターポレータ104によりそれらの入力の重み付きの和を積分および比較することで重みの値に対応した位相のクロック(CLKd, CLKb)を発生するようになっている。ここで、クロックCLKdは、データ検出ユニット(データ検出判別回路)111～114に与えられるもので、例えば、それぞれ90度の位相差を有する4つのデータ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4により構成される。

【0009】また、クロックCLKbは、バウンダリ検出ユニット(バウンダリ検出判定回路)121～124に与えられるもので、例えば、それぞれ90度の位相差を有する4つのバウンダリ検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4により構成される。なお、各データ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4と各バウンダリ検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4とは、それぞれ45度の位相差を有している。

【0010】従って、例えば、入力データラインDILに対して2.5Gbpsの速度でデータが供給される場合、各データ検出ユニット111～114およびバ

ウンダリ検出ユニット121～124は、それぞれ625MHzのクロックでインターリーブ動作を行うことになる。データ検出ユニット111～114は、例えば、それぞれ625MHzのクロック(データ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4)により駆動され、入力データラインDILに供給された入力信号のデータを検出および判定し、受信データ(再生データ)として出力する。また、データ検出ユニット111～114の出力は、位相比較器105にも供給されるようになっている。

【0011】同様に、バウンダリ検出ユニット121～124は、例えば、それぞれ625MHzのクロック(バウンダリ検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4)により駆動され、入力データラインDILに供給された入力信号のデータのバウンダリを検出および判定して位相比較器105に供給する。位相比較器105は、入力されたデータ検出ユニット111～114およびバウンダリ検出ユニット121～124の出力を“0”および“1”のディジタル的判定による比較処理を行い、フィードバックラインFLを介してフィードバック信号を位相インターポレータ104に供給(フィードバック)する。

【0012】図2は図1の受信回路における位相インターポレータの一構成例を示すブロック図である。図2に示されるように、位相インターポレータ104は、ミキサー回路141, 142、ディジタル・アナログ変換器(DAC: Digital to Analog Converter)143、および、分周器144を備えている。ミキサー回路141および142は、それぞれクロック信号(四相クロック)およびDAC143の出力を受け取って、四相クロックからそれぞれ90度の位相差をもつ信号の組を合成し、それぞれの中間位相を作り、その中間位相を有する信号に重み(DAC143の出力)による位相シフトを加算したクロックを発生し、そして、分周器144を介してそれぞれデータ検出用クロックCLKd(CLKd1, CLKd2, CLKd3, CLKd4)およびバウンダリ検出用クロックCLKb(CLKb1, CLKb2, CLKb3, CLKb4)を生成する。

【0013】ミキサー回路141および142は、重みを表す電流値を基に位相を制御しており、位相可変のための重みは、位相比較器(105)において、データ検出ユニット111～114およびバウンダリ検出ユニット121～124の出力から、外部からの入力クロックと内部クロック(データ検出用クロックCLKdおよびバウンダリ検出用クロックCLKb)がディジタル的に位相比較され、位相制御信号としてDAC143に供給される。

【0014】DAC143は、定電流および位相制御信号(位相比較器105の出力)を受け取り、位相可変重みを電流に変換してミキサー回路141, 142に供給

し、この電流の変化量によりクロックCLKd、CLKbの位相可変が行われる。ここで、クロック復元回路（クロックリカバリー回路）は、入力信号からデータ検出用のクロックを復元する点に注目して与えた名称であり、また、受信回路は、復元されたクロックを用いてデータ検出判定回路が入力信号のデータを検出および判定して出力する点に注目して与えたものである。

【0015】図1および図2に示す受信回路（クロック復元回路）において、位相比較（クロックの復元）に使用するバウンダリ検出ユニット121～124としてデータ検出ユニット111～114と同じ回路を用いると、システムティックな位相ずれを生じることがなく、クロックの復元を高い精度で行うことができ、また、位相比較の感度も高くすることができる。

【0016】図3は入力信号におけるデータおよびバウンダリのラッチタイミングの例を示す図である。図3において、参照符号Dt（Dto）、Dt+1、Dt+2、Dt+3は、データ検出ユニット111、112、113、114によりラッチ（検出）されるデータの理想的なタイミングを示し、また、Bt、Bt+1、Bt+2、Bt+3は、バウンダリ検出ユニット121、122、123、124によりラッチされるバウンダリの理想的なタイミングを示している。

【0017】

【発明が解決しようとする課題】図1～図3を参照して説明した従来の受信回路（クロック復元回路）において、位相比較器105の入出力特性には大きな非線型性があるため、クロックの復元を行うためのフィードバック動作には、いわゆるバンバン（bang-bang）制御固有のリミットサイクル振動が含まれる。また、従来の受信回路では、クロック復元回路に入力されるジッター（jitter）の大きさによって回路の帯域が変化するという不都合もある。

【0018】本発明は、上述した従来の技術が有する課題に鑑み、リミットサイクル信号の振幅が小さく、帰還ループ特性のジッター依存性や信号レベル依存性の小さいクロック復元回路および受信回路の提供を目的とする。

【0019】

【課題を解決するための手段】本発明の第1の形態によれば、第1の信号に応じて入力信号のバウンダリを検出および判定するバウンダリ検出判定回路を有し、その検出されたバウンダリに応じて第1の信号のタイミングを制御してクロックの復元を行うクロック復元回路であり、第1の信号を制御してバウンダリ検出判定回路におけるバウンダリの検出タイミングを変化させるようにしたクロック復元回路が提供される。

【0020】本発明の第2の形態によれば、データ検出判定回路、バウンダリ検出判定回路、位相比較器、クロック信号発生回路、および、バウンダリスキュー発生回

路を備えた受信回路が提供される。データ検出判定回路は、入力信号のデータを検出および判定し、また、バウンダリ検出判定回路は、入力信号のバウンダリを検出および判定する。位相比較器は、データ検出判定回路およびバウンダリ検出判定回路からの出力を受け取って位相比較を行い、また、クロック信号発生回路は、位相比較器の出力を受け取ってデータ検出判定回路に第1の内部クロックを供給すると共にバウンダリ検出判定回路に第2の内部クロックを供給する。そして、バウンダリスキュー発生回路は、第2の内部クロックに与えるスキューを制御してバウンダリ検出判定回路におけるバウンダリの検出タイミングを変化させる。

【0021】図4は本発明に係るクロック復元回路を含む受信回路の原理構成を示すブロック図であり、図5は図4の受信回路（クロック復元回路を含む）の動作を説明するための図である。図4において、参照符号1はデータ検出回路、2はバウンダリ検出回路、3はバウンダリスキュー発生回路、4はクロック信号発生回路、そして、5は位相比較器を示している。また、参照符号DILはデータ入力ライン、DCLはデータ検出用クロックライン、BCL、BCL'はバウンダリ検出用クロックライン、そして、FLはフィードバックラインを示している。

【0022】図4に示す本発明のクロック復元回路（受信回路）において、クロック信号発生回路4はデータ検出用クロックCLKdおよびバウンダリ検出用クロックCLKb'を発生し、データ検出用クロックCLKdはデータ検出用クロックラインDCLを介してデータ検出ユニット1に供給される。また、バウンダリ検出用クロックCLKb'は、バウンダリ検出用クロックラインBCL'を介してバウンダリスキュー発生回路3に供給され、このバウンダリスキュー発生回路3で所定のスキュー（skew）が与えられたバウンダリ検出用クロックCLKbがバウンダリ検出用クロックラインBCLを介してバウンダリ検出ユニットに供給される。

【0023】位相比較器5は、供給されたデータ検出回路1およびバウンダリ検出回路2の出力を比較処理し、フィードバックラインFLを介してフィードバック信号をクロック信号発生回路4に供給（フィードバック）する。図5に示されるように、本発明のクロック復元回路によれば、クロック信号発生回路4から出力されるクロックCLKb'は、バウンダリスキュー発生回路3により所定のスキュー（所定の時間量 τ ）が与えられてバウンダリ検出用クロックCLKbとしてバウンダリ検出回路2に供給され、バウンダリ検出のタイミング（Bt）を本来のバウンダリ検出タイミング（Bto）の位置の前後に実効的に τ だけずらすようになっている。

【0024】位相比較器5は、連続した何個かのビットセル（bit cell）で位相の進み遅れを判定し、その和を位相比較器5の出力としている。この何回かの判定にお

いて、各判定ごとに意図的に判定タイミングに異なるスキューを与え、本来のバウンダリ判定タイミング B_{to} からスキュー τ だけ異なるタイミング位置 B_t を判定する。

【0025】図6は本発明の受信回路（クロック復元回路）における位相比較器の動作を説明するための図である。図6（a）は、内部クロックによるラッチタイミング（ B_t ； D_t ）が理想的なラッチタイミング（ B_{to} ； D_{to} ）よりも早い場合（EARLY）を示し、また、図6（b）は、内部クロックによるラッチタイミング（ B_t ； D_t ）が理想的なラッチタイミング（ B_{to} ； D_{to} ）よりも遅い場合（LATE）を示す。

【0026】さらに、図6（c）は、データ（ D_t ）と次のデータ（ D_{t+1} ）の間に遷移（0→1、または、1→0）が現れないとき、つまり同じデータが続くとき（NOT TRANSITION）を示し、そして、図6（d）は、同じデータが続くような場合において、バウンダリ位置に生じたノイズをバウンダリ検出回路がラッチしてしまったときや、データ検出回路がバウンダリ位置を検出してしまったとき、或いは、バウンダリ検出回路がデータ位置を検出してしまったときなど（GLITCH）を示す。データ検出タイミング（ D_t ）とバウンダリ検出タイミング（ B_t ）との関係を次の表1に示す。

【0027】

【表1】

D_t	B_t	D_{t+1}	状態
1	1	0	EARLY
0	0	1	EARLY
1	0	0	LATE
0	1	1	LATE
1	1	1	NO TRANSITION
0	0	0	NO TRANSITION
0	1	0	GRITCH
1	0	1	GRITCH

D_t ：データ検出タイミング

B_t ：バウンダリ検出タイミング

【0028】本発明の受信回路（クロック復元回路）によれば、クロック信号発生回路4から出力されるバウンダリ検出用クロック CLK_b は、本来のバウンダリ検出タイミング（ B_{to} ）の位置の前後にずらすようになっており、これにより、位相比較器5の入出力特性は単一のステップ的な特性ではなく、何段階かのステップで構成された階段状特性となり、位相比較器5の線形性が改善され、クロック復元のための帰還回路の動作に安定性を与えることができる。

【0029】図7は本発明の受信回路の動作の一例を説明するための図であり、図7（a）は非線形入出力特性を示し、また、図7（b）は階段状入出力特性を示している。上述した本発明の原理構成を示す図4の回路では、従来のクロック復元回路に対してバウンダリスキュー発生回路3を加えることにより、バウンダリ検出のタイミングを本来の位置の前後にずらすことができるようになっている。

【0030】位相比較器5は、連続した何個かのビットセルで位相の進み遅れを判定し、その和を位相比較出力としている。本発明は、この何回かの判定において、判定ごとに意図的に判定タイミングに異なるスキューを与える。ここで、一例として、本来のバウンダリのタイミングに対してバッファ遅延によりスキューを $-3/2\tau$ 、 $-1/2\tau$ 、 $1/2\tau$ 、 $3/2\tau$ と作り込んだ場合について説明する。この場合は、位相比較器の入出力特性は、図7（b）に示されるような4段階のステップで構成された階段状の特性となる。これは、従来の単一ステップ的な非線型を持つ入出力特性（図7（a）参照）に対して線形性が改善されていると解釈できる。この場合は、時間にして 4τ の範囲にわたってほぼ線型な特性が得られる。そして、 4τ の値をこのシステムに入力されるジッターの最大値と同程度に設定しておけば、位相比較器5を常に線型な範囲で動作させることができることになる。具体的な数値として、例えば、 4τ の量を $0.5UI$ （Unit Interval：データ側のクロック周期：例えば、 $2.5GHz$ の外部クロック周期）程度に設定しておけば実用的には十分と考えられる。

【0031】従来の単一のステップ的な非線形性を持つクロック復元回路（受信回路）に対して、本発明では、位相比較器の入出力特性の線形性が改善されているため、非線形系に特有のリミットサイクル信号の振幅を小さくすると共に、帰還ループ特性のジッター依存性や信号レベル依存性を小さくしてクロック復元回路の特性の予測性を改善することができる。

【0032】

【発明の実施の形態】以下、本発明に係るクロック復元回路および受信回路の実施例を添付図面に従って詳述する。図8は本発明に係る受信回路の第1実施例を概略的に示すブロック図であり、4-way×2型のインターリーブ回路として構成したものである。図8において、参照符号11～14はデータ検出ユニット、21～24はバウンダリ検出ユニット、31～34はバウンダリスキュー発生ユニット（バッファ遅延回路）、4はクロック信号発生回路、そして、5は位相比較器を示している。また、参照符号DILはデータ入力ライン、DCLはデータ検出用クロックライン、BCLはバウンダリ検出用クロックライン、そして、FLはフィードバックラインを示している。

【0033】図8に示されるように、本第1実施例の受

信回路（クロック復元回路）は、前述した従来の受信回路と同様に、4つのデータ検出ユニット11～14および4つのバウンダリ検出ユニット21～24を備え、各データ検出ユニット11～14および各バウンダリ検出ユニット21～24はインターリーブ動作を行うようになっている。ここで、クロックCLKdは、4つのデータ検出ユニット（データ検出判別回路）11～14に与えられるもので、例えば、それぞれ90度の位相差を有する4つのデータ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4により構成される。

【0034】また、クロックCLKbは、バウンダリ検出ユニット（バウンダリ検出判定回路）21～24に与えられるもので、例えば、それぞれ90度の位相差を有する4つのバウンダリ検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4により構成される。なお、各データ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4と各バウンダリ検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4とは、それぞれ45度の位相差を有している。

【0035】従って、例えば、入力データラインDILに対して2.5G[bps]の速度でデータが供給される場合、各データ検出ユニット11～14およびバウンダリ検出ユニット21～24は、それぞれ625MHzのクロックでインターリーブ動作を行うことになる。データ検出ユニット11～14は、例えば、それぞれ625MHzのクロック（データ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4）により駆動され、入力データラインDILに供給された入力信号のデータを検出および判定し、受信データ（再生データ）として出力する。また、データ検出ユニット11～14の出力は、位相比較器5にも供給されるようになっている。

【0036】同様に、バウンダリ検出ユニット21～24は、例えば、それぞれ625MHzのクロック（バウンダリ検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4）により駆動され、入力データラインDILに供給された入力信号のデータのバウンダリを検出および判定して位相比較器5に供給する。位相比較器5は、入力されたデータ検出ユニット11～14およびバウンダリ検出ユニット21～24の出力を比較処理して、フィードバックラインFLを介してフィードバック信号をクロック信号発生回路4に供給（フィードバック）する。

【0037】図9は図8の受信回路の動作を説明するための図である。図9と前述した図3との比較から明らかなように、本第1実施例の受信回路（クロック復元回路）においては、バウンダリ検出ユニット21, 22, 23, 24によりラッチされるバウンダリのタイミングは、ある時間量を τ として、本来のタイミング（理想的なタイミング）に対してバウンダリスキュー発生ユニッ

ト31, 32, 33, 34によるスキューをバウンダリ順に $-3/2\tau$, $-1/2\tau$, $1/2\tau$, $3/2\tau$ と設定することにより、バウンダリのラッチタイミングを本来のタイミング位置からずらすようになっている。

【0038】すなわち、ある時間量を τ として、本来のバウンダリのタイミングに対してバッファ遅延によるスキューをバウンダリ順に $-3/2\tau$, $-1/2\tau$, $1/2\tau$, $3/2\tau$ と作り込んだ場合、前述した図7(b)に示されるような4段階のステップで構成された階段状の特性として線形性の改善を見込むことができる。この線形化は、スキューが $\pm 2\tau$ の範囲、すなわち、大きさとして 4τ の範囲で行われる。この 4τ の量は、最低限、システムに与えられるジッター量の大きさを持つ。具体的な数値としては、例えば、 4τ の量を0.5UI程度に設定する。

【0039】入出力特性に関して、従来の単一のステップ的な非線形性を持つ位相比較器の入出力特性を示す図7(a)に対して、スキューを与えることによる4段階のステップで構成された階段状の入出力特性は図7(b)のようになり、これは位相比較器5の線形性の改善を表している。この位相比較器の線形性の改善により、非線形系に特有のリミットサイクル信号の振幅を小さくすると共に、帰還ループ特性のジッター依存性や信号レベル依存性を小さくしてクロック復元回路（受信回路）の特性の予測性を改善することができる。

【0040】図10は本発明および従来のクロック復元回路モデルによる受信回路の位相安定性のシミュレーション結果の一例を比較して示す図であり、C言語によるモデリングにおける位相安定性のシミュレーション結果である。なお、図10では、パターン『1, 0, 1, 0, ...』のデータを入力し、各クロック復元回路のモデルにおけるバンバン(bang-bang)制御による振幅をみている。

【0041】図10において、参照符号L0（破線）は従来の受信回路のシミュレーション結果を示し、また、L1（実線）は本発明の受信回路のシミュレーション結果を示す。さらに、図10において、縦軸は位相ずれ（タイミングのゆらぎ）を表し、横軸は時間を表している。図10に示されるように、本発明（第1実施例：L1）では、従来例（L0）に対して、データを取り込むタイミングのゆらぎ（位相のずれ）が小さくなっており、本発明のクロック復元回路の方が明らかに安定性が高いことが分かる。

【0042】図11は本発明に係る受信回路の第2実施例を概略的に示すブロック図である。図11と前述した図1との比較から明らかなように、図11に示す本第2実施例は、基本的な回路ブロックの構成としては図1と同様であるが、位相インターポレータ40の構成が異なる。すなわち、本第2実施例においては、位相インターポレータ40がバウンダリ検出ユニット21～24にお

けるバウンダリ検出タイミングを変化させる機能を備えている。

【0043】図12は図11の受信回路における位相インターポレータの一構成例を示すブロック図である。図12に示されるように、位相インターポレータ40は、ミキサー回路41、42、ディジタル・アナログ変換器(DAC)43、分周器44、および、変調用DAC45を備えている。ミキサー回路41は、クロック信号(四相クロック)およびDAC43の出力を受け取って、四相クロックからそれぞれ90度の位相差をもつ信号の組を合成し、それぞれの中間位相を作り、その中間位相を有する信号に重み(DAC43の出力)による位相シフトを加算したクロックを発生する。また、ミキサー回路42は、クロック信号、DAC43の出力および変調用DAC45の出力を受け取って、四相クロックからそれぞれ90度の位相差をもつ信号の組を合成し、それぞれの中間位相を作り、その中間位相を有する信号に重み(DAC43の出力および変調用DAC45の出力)による位相シフトを加算したクロックを発生する。

【0044】ミキサー回路41およびミキサー回路42の出力は分周器44に供給され、データ検出用クロックCLKd(CLKd1, CLKd2, CLKd3, CLKd4)およびバウンダリ検出用クロックCLKb(CLKb1, CLKb2, CLKb3, CLKb4)が生成される。ミキサー回路41および42は、重みを表す電流値を基に位相を制御しており、位相可変のための重みは、位相比較器(5)において、データ検出ユニット11~14およびバウンダリ検出ユニット21~24の出力から、外部からの入力クロックと内部クロック(データ検出用クロックCLKdおよびバウンダリ検出用クロックCLKb)がディジタル的に位相比較され、位相制御信号としてDAC43に供給される。

【0045】DAC43は、定電流および位相制御信号(位相比較器5の出力)を受け取り、位相可変重みを電流に変換してミキサー回路41、42に供給する。そして、ミキサー回路41では、DAC43からの電流の変化量により、また、ミキサー回路42では、DAC43および変調用DAC45からの電流の変化量によりクロックCLKd, CLKbの位相可変が行われる。

【0046】本第2実施例では、変調用DAC45に対して、外部からディジタルな変調コードを与えて電流へと変換し、その変調用DAC45からの出力電流をミキサー回路42に供給することにより、バウンダリ・クロック信号(バウンダリ検出用クロック)に対してスキューを与えることができるようになっている。なお、変調用DAC45に供給する変調コードはディジタルに表現されているので、プログラマブルなスキューを発生することができ、これにより、バウンダリ検出のタイミングを本来のバウンダリの位置の前後に実効的にずらすことが可能となる。

【0047】図13は本発明に係る受信回路の第3実施例を概略的に示すブロック図であり、また、図14は図13の受信回路におけるバウンダリ検出判定回路用クロックバッファ(バウンダリ検出用クロックバッファ)の一構成例を示すブロック図である。図13に示されるように、本第3実施例の受信回路(クロック復元回路)において、クロック信号発生回路4は、クロック信号発生部400と、クロックバッファ401および402とを備えている。データ検出用クロックCLKd(CLKd1~CLKd4)は、データ検出用クロックバッファ401を介して各データ検出ユニット11~14に供給され、また、バウンダリ検出用クロックCLKb(CLKb1~CLKb4)は、バウンダリ検出用クロックバッファ402を介して各バウンダリ検出ユニット21~24に供給される。

【0048】図14に示されるように、バウンダリ検出用クロックバッファ402は、クロック信号発生部400からの四相のクロックを受け取り、それぞれ2段のインバータ421~424, 431~434を介してバウンダリ検出用クロックCLKb(CLKb1~CLKb4)を生成するようになっている。ここで、各初段のインバータ421~424において、pチャネル型MOSトランジスタ421p~424pおよびnチャネル型MOSトランジスタ421n~424nは、トランジスタのゲート幅Wをそれぞれ変化させるようになっている。

【0049】すなわち、標準のクロックバッファ(データ検出用クロックバッファ401)におけるトランジスタのゲート幅をwpとしたとき、トランジスタ421pおよび421nのゲート幅はそれぞれ $W=1.75wp$ とされ、トランジスタ422pおよび422nのゲート幅はそれぞれ $W=1.25wp$ とされ、トランジスタ423pおよび423nのゲート幅はそれぞれ $W=0.75wp$ とされ、そして、トランジスタ424pおよび424nのゲート幅はそれぞれ $W=0.25wp$ とされている。これにより、各初段のインバータ421~424の駆動力を制御して、バウンダリ検出用クロックCLKb1, CLKb2, CLKb3, CLKb4に対してそれぞれ、例えば、 $-3/2\pi$, $-1/2\pi$, $1/2\pi$, $3/2\pi$ のスキューを与え、バウンダリのラッチタイミングを本来のタイミング位置からずらすようになっている。なお、図14において、参照符号VDは電源、GNDはグラウンド、そして、cp, cnは固定値を示している。

【0050】このようにして、異なるスキューが与えられたバウンダリ検出用クロックCLKb1, CLKb2, CLKb3, CLKb4は、それぞれバウンダリ検出ユニット21, 22, 23, 24に供給される。なお、図14に示す構成では、バウンダリ検出判定回路2(バウンダリ検出ユニット21~24)に供給するクロックを出力するバウンダリ検出用クロックバッファ402における初段インバータのトランジスタのサイズを制御して各バウ

ンダリ検出用クロックCLKb1~CLKb4にそれぞれ所定のスキューを与えるようになっているが、例えば、初段のインバータ421~424を同じサイズのトランジスタで構成し、各インバータ421~424の出力に対してそれぞれ容量441~444を設け、その容量の大きさを $441 < 442 < 443 < 444$ として各バウンダリ検出用クロックCLKb1~CLKb4に異なるスキューを与えるようにしてもよい。また、次段のインバータ431~434におけるトランジスタのサイズを調整することも可能である。

【0051】図15は本発明に係る受信回路の第4実施例を概略的に示すブロック図である。本第4実施例の受信回路(クロック復元回路)は、バウンダリスキュー発生回路3を可変遅延回路(VDL回路: Variable Delay Line Circuit)で構成したものである。すなわち、本第4実施例においては、クロック信号発生回路4からのバウンダリ検出用クロックCLKbがVDL回路3を介してバウンダリ検出回路2に供給されるようになっている。

【0052】図15に示されるように、VDL回路3は、例えば、外部からの制御信号CSにより選択制御される複数の遅延線301~304を有し、各遅延線301~304は、例えば、バッファおよびスイッチ等により構成されている。そして、外部からの制御信号により各スイッチのオン・オフを制御して適切なスキューをバウンダリ検出用クロックCLKbに与えるようになっている。なお、複数のバウンダリ検出用クロックCLKb1~CLKb4に対してそれぞれ所定のスキューを与える場合、例えば、各遅延線301~304のスイッチをサイクリックに変化させて、各バッファの特性のばらつきや配線等の要素による影響を低減させて再現性を向上させるように構成することもできる。

【0053】以上のように、本発明では、バウンダリ検出のタイミングを本来のバウンダリの位置の前後に実効的にずらすことになるが、この具体的な構成は、上述した各実施例に限定されことなく様々なものが適用可能である。以上説明したように、本発明の受信回路(クロック復元回路)の各実施例によれば、位相比較器の線型性の改善により、リミットサイクル信号の振幅を小さくすることができ、帰還ループ特性のジッター依存性や信号レベル依存性を小さくして特性の予測性を改善することができる。

【0054】(付記1) 第1の信号に応じて入力信号のバウンダリを検出および判定するバウンダリ検出判定回路を有し、該検出されたバウンダリに応じて該第1の信号のタイミングを制御してクロックの復元を行うクロック復元回路であって、前記第1の信号を制御して前記バウンダリ検出判定回路におけるバウンダリの検出タイミングを変化させるようにしたことを特徴とするクロック復元回路。

【0055】(付記2) 付記1に記載のクロック復元回路において、前記バウンダリ検出判定回路は、前記入力信号のバウンダリを検出する本来のタイミングに対して時間的にばらついたタイミングでバウンダリの検出を行うことを特徴とするクロック復元回路。

(付記3) 付記2に記載のクロック復元回路において、前記バウンダリ検出判定回路による前記入力信号のバウンダリの検出を、予め定めたタイミングで行うことを特徴とするクロック復元回路。

【0056】(付記4) 付記2に記載のクロック復元回路において、前記バウンダリ検出判定回路による前記入力信号のバウンダリの検出を、動的に制御されたタイミングで行うことを特徴とするクロック復元回路。

(付記5) 付記2に記載のクロック復元回路において、さらに、前記第1の信号を異なる時間だけ遅延させる位相インターポレータを備え、該位相インターポレータへのコードに変調を与えることを特徴とするクロック復元回路。

【0057】(付記6) 付記5に記載のクロック復元回路において、さらに、前記位相インターポレータへのコードに変調を与えるデジタル-アナログ変換器を備え、該デジタル-アナログ変換器により重み付け変調を行うことを特徴とするクロック復元回路。

(付記7) 付記2に記載のクロック復元回路において、さらに、前記第1の信号を異なる時間だけ遅延させる可変遅延回路を備えることを特徴とするクロック復元回路。

【0058】(付記8) 付記1に記載のクロック復元回路において、前記バウンダリ検出判定回路は、複数のバウンダリ検出ユニットを備え、該各バウンダリ検出ユニットは、各バウンダリ検出ユニット制御信号に応じてそれぞれバウンダリの検出を行うことを特徴とするクロック復元回路。

(付記9) 付記8に記載のクロック復元回路において、前記各バウンダリ検出ユニットは、それぞれ前記入力信号のバウンダリを検出する本来のタイミングに対して時間的にばらついたタイミングで各バウンダリの検出を行うことを特徴とするクロック復元回路。

【0059】(付記10) 付記9に記載のクロック復元回路において、前記各バウンダリ検出ユニットによる前記入力信号のバウンダリの検出を、それぞれ予め定めたタイミングで行うことを特徴とするクロック復元回路。

(付記11) 付記9に記載のクロック復元回路において、前記各バウンダリ検出ユニットによる前記入力信号のバウンダリの検出を、それぞれ動的に制御されたタイミングで行うことを特徴とするクロック復元回路。

【0060】(付記12) 付記9に記載のクロック復元回路において、さらに、前記各バウンダリ検出ユニット制御信号をそれぞれ異なる時間だけ遅延させる複数の

バッファを備えることを特徴とするクロック復元回路。
 (付記13) 付記12に記載のクロック復元回路において、前記複数のバッファは、それぞれ負荷となる容量と当該負荷を駆動するトランジスタのサイズとの比率を調整して異なる遅延時間を持たせることを特徴とするクロック復元回路。

【0061】(付記14) 付記9に記載のクロック復元回路において、さらに、前記各バウンダリ検出ユニット制御信号をそれぞれ異なる時間だけ遅延させる位相インターポレータを備え、該位相インターポレータへのコードに変調を与えることを特徴とするクロック復元回路。

(付記15) 付記14に記載のクロック復元回路において、さらに、前記位相インターポレータへのコードに変調を与えるデジタル-アナログ変換器を備え、該デジタル-アナログ変換器により重み付け変調を行うことを特徴とするクロック復元回路。

【0062】(付記16) 付記9に記載のクロック復元回路において、さらに、前記各バウンダリ検出ユニット制御信号を異なる時間だけ遅延させる複数の可変遅延回路を備えることを特徴とするクロック復元回路。

(付記17) 入力信号のデータを検出および判定するデータ検出判定回路と、該入力信号のバウンダリを検出および判定するバウンダリ検出判定回路と、該データ検出判定回路および該バウンダリ検出判定回路からの出力を受け取って位相比較を行う位相比較器と、該位相比較器の出力を受け取って前記データ検出判定回路に第1の内部クロックを供給すると共に前記バウンダリ検出判定回路に第2の内部クロックを供給するクロック信号発生回路と、前記第2の内部クロックに与えるスキューを制御して前記バウンダリ検出判定回路におけるバウンダリの検出タイミングを変化させるバウンダリスキュー発生回路と、を備えることを特徴とする受信回路。

【0063】(付記18) 付記17に記載の受信回路において、前記バウンダリスキュー発生回路は、前記入力信号のバウンダリを検出する本来のタイミングに対して時間的にばらついたタイミングの前記第2の内部クロックを前記バウンダリ検出判定回路に供給することを特徴とする受信回路。

(付記19) 付記18に記載の受信回路において、前記バウンダリスキュー発生回路は、前記第2の内部クロックに対して予め定められたスキューを与えることを特徴とする受信回路。

【0064】(付記20) 付記18に記載の受信回路において、前記バウンダリスキュー発生回路は、前記第2の内部クロックに対して動的に変化するスキューを与えることを特徴とする受信回路。

(付記21) 付記18に記載の受信回路において、前記バウンダリスキュー発生回路は、前記第2の内部クロックを異なる時間だけ遅延させる位相インターポレータ

を備え、該位相インターポレータのコードに変調を与えて前記スキューを制御することを特徴とする受信回路。

【0065】(付記22) 付記21に記載の受信回路において、前記位相インターポレータは、前記コードに変調を与えるデジタル-アナログ変換器を備え、該デジタル-アナログ変換器により重み付け変調を行うことを特徴とする受信回路。

(付記23) 付記18に記載の受信回路において、前記バウンダリスキュー発生回路は、前記第2の内部クロックを異なる時間だけ遅延させる可変遅延回路を備えることを特徴とする受信回路。

【0066】(付記24) 付記17に記載の受信回路において、前記バウンダリ検出判定回路は、複数のバウンダリ検出ユニットを備え、該各バウンダリ検出ユニットは、各バウンダリ検出ユニット制御信号に応じてそれぞれバウンダリの検出を行うことを特徴とする受信回路。

(付記25) 付記24に記載の受信回路において、前記データ検出判定回路は、複数のデータ検出ユニットを備え、且つ、前記第1の内部クロックは、位相の異なる複数のデータ検出ユニット制御信号を備え、該各データ検出ユニットは、該各バウンダリ検出ユニット制御信号に応じて前記各バウンダリ検出ユニットとインターリーブ動作を行うことを特徴とする受信回路。

【0067】(付記26) 付記24に記載の受信回路において、前記バウンダリスキュー発生回路は、前記入力信号のバウンダリを検出する本来のタイミングに対して時間的にばらついたタイミングの前記各バウンダリ検出ユニット制御信号をそれぞれ前記各バウンダリ検出ユニットに供給することを特徴とする受信回路。

(付記27) 付記26に記載の受信回路において、前記バウンダリスキュー発生回路は、前記各バウンダリ検出ユニット制御信号に対してそれぞれ予め定められたスキューを与えることを特徴とする受信回路。

【0068】(付記28) 付記26に記載の受信回路において、前記バウンダリスキュー発生回路は、前記各バウンダリ検出ユニット制御信号に対してそれぞれ動的に変化するスキューを与えることを特徴とする受信回路。

(付記29) 付記26に記載の受信回路において、前記バウンダリスキュー発生回路は、前記各バウンダリ検出ユニット制御信号をそれぞれ異なる時間だけ遅延させる複数のバッファを備えることを特徴とする受信回路。

【0069】(付記30) 付記26に記載の受信回路において、前記バウンダリスキュー発生回路は、前記各バウンダリ検出ユニット制御信号をそれぞれ異なる時間だけ遅延させる位相インターポレータを備え、該位相インターポレータのコードに変調を与えて前記スキューを制御することを特徴とする受信回路。

(付記31) 付記30に記載の受信回路において、前

記位相インターポレータは、前記コードに変調を与えるデジタル-アナログ変換器を備え、該デジタル-アナログ変換器により重み付け変調を行うことを特徴とする受信回路。

【0070】(付記32) 付記26に記載の受信回路において、前記バウンダリスキュー発生回路は、前記各バウンダリ検出ユニット制御信号を異なる時間だけ遅延させる複数の可変遅延回路を備えることを特徴とする受信回路。

【0071】

【発明の効果】以上、詳述したように、本発明によれば、高速の信号伝送を実現するために、リミットサイクル信号の振幅が小さく、帰還ループ特性のジッター依存性や信号レベル依存性の小さい(すなわち、回路特性の予測が容易な)クロック復元回路および受信回路が提供される。

【図面の簡単な説明】

【図1】従来のクロック復元回路を含む受信回路の一例を概略的に示すブロック図である。

【図2】図1の受信回路における位相インターポレータの一構成例を示すブロック図である。

【図3】入力信号におけるデータおよびバウンダリのラッチタイミングの例を示す図である。

【図4】本発明に係るクロック復元回路を含む受信回路の原理構成を示すブロック図である。

【図5】図5の受信回路(クロック復元回路を含む)の動作を説明するための図である。

【図6】本発明の受信回路における位相比較器の動作を説明するための図である。

【図7】本発明の受信回路の動作の一例を説明するための図である。

【図8】本発明に係る受信回路の第1実施例を概略的に示すブロック図である。

【図9】図8の受信回路の動作を説明するための図である。

【図10】本発明および従来のクロック復元回路モデルによる受信回路の位相安定性のシミュレーション結果の一例を比較して示す図である。

【図11】本発明に係る受信回路の第2実施例を概略的に示すブロック図である。

【図12】図11の受信回路における位相インターポレータの一構成例を示すブロック図である。

【図13】本発明に係る受信回路の第3実施例を概略的に示すブロック図である。

【図14】図13の受信回路におけるバウンダリ検出判定回路用クロックバッファの一構成例を示すブロック図である。

【図15】本発明に係る受信回路の第4実施例を概略的に示すブロック図である。

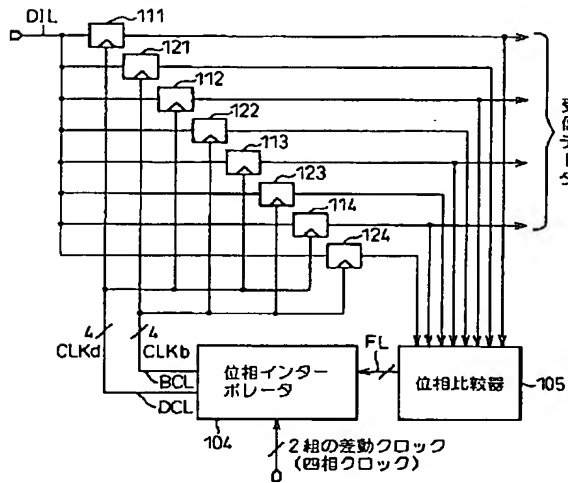
【符号の説明】

1…データ検出判定回路
 11～14; 111～114…データ検出ユニット
 2…バウンダリ検出判定回路
 21～24; 121～124…バウンダリ検出ユニット
 3…バウンダリスキュー発生回路(可変遅延回路)
 31～34…バウンダリスキュー発生ユニット(バッファ遅延回路)
 301～304…遅延線
 4…クロック信号発生回路
 40, 104…位相インターポレータ
 41, 42…ミキサー回路
 43…デジタル・アナログ変換器(DAC)
 44…分周器
 45…変調用DAC
 400…クロック信号発生部
 401…データ検出用クロックバッファ
 402…バウンダリ検出用クロックバッファ
 5, 105…位相比較器
 Dt, Dt+1, Dt+2, Dt+3…データ検出タイミング
 Bt, Bt+1, Bt+2, Bt+3…バウンダリ検出タイミング
 CLKb; CLKb1, CLKb2, CLKb3, CLKb4…バウンダリ検出ユニット制御信号(バウンダリ検出用クロック)
 CLKd; CLKd1, CLKd2, CLKd3, CLKd4…データ検出ユニット制御信号(データ検出用クロック)

【図1】

図 1

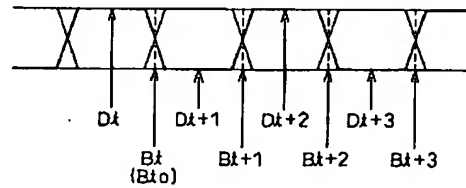
従来のクロック復元回路を含む受信回路の一例を概念的に示すブロック図



【図3】

図 3

入力信号におけるデータおよびバウンダリのラッチタイミングの例を示す図



【図2】

図1の受信回路における位相インターポレータの一構成例を示すブロック図

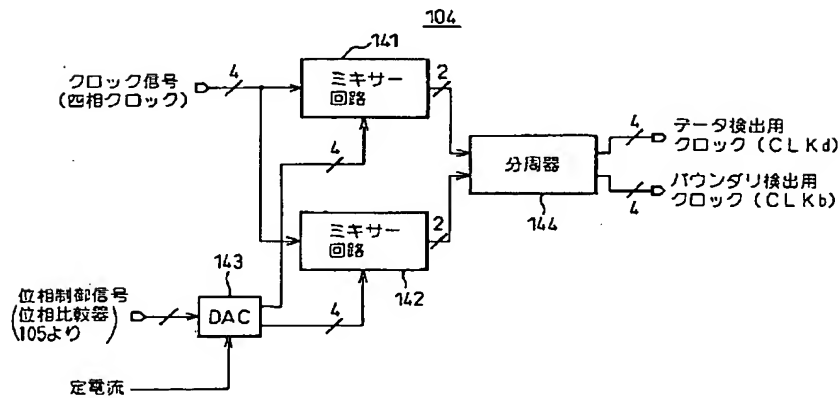
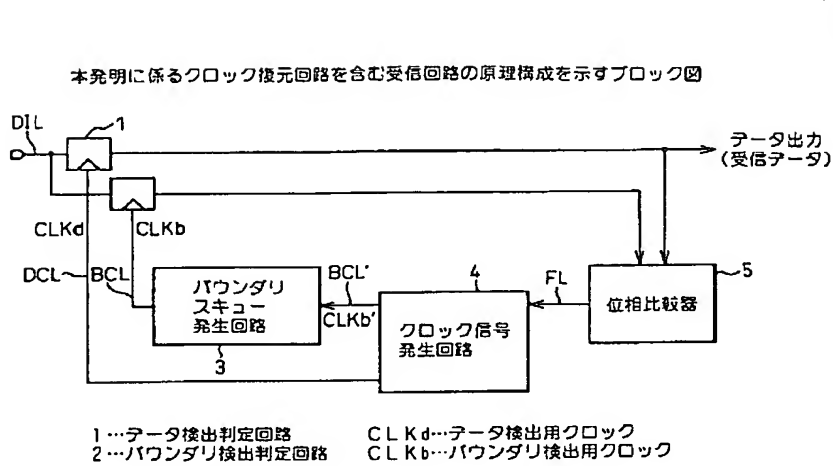


図 2

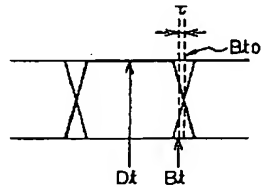
【図4】



【図5】

図 5

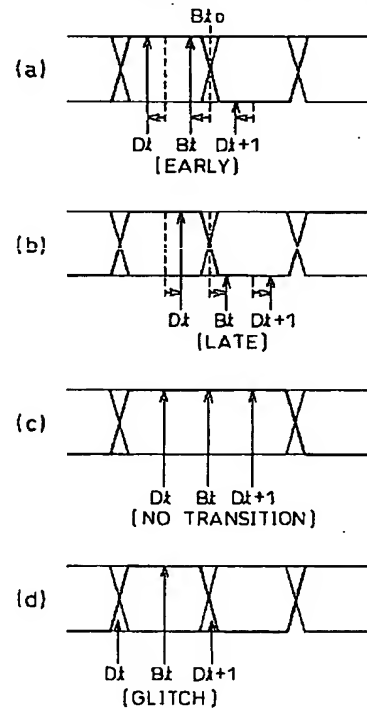
図4の受信回路（クロック復元回路）の動作を説明するための図



【図6】

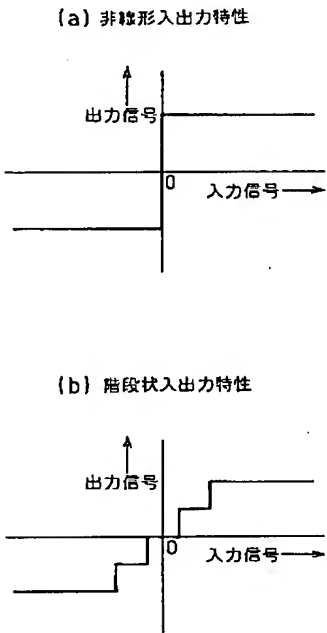
図 6

本発明の受信回路における位相比較器の動作を説明するための図



【図7】

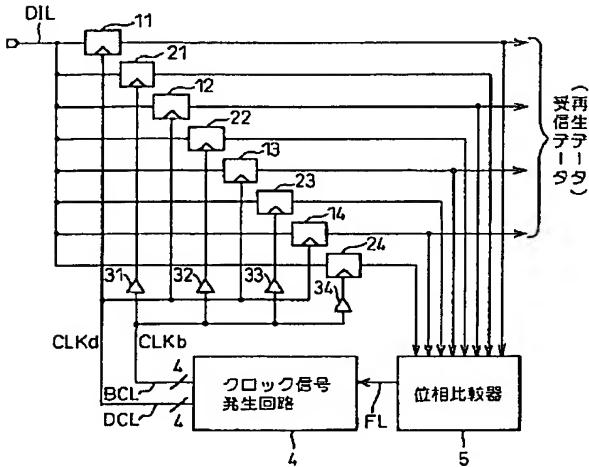
図 7
本発明の受信回路の動作の一例を説明するための図



【図8】

本発明に係る受信回路の第1実施例を概略的に示すブロック図

図 8



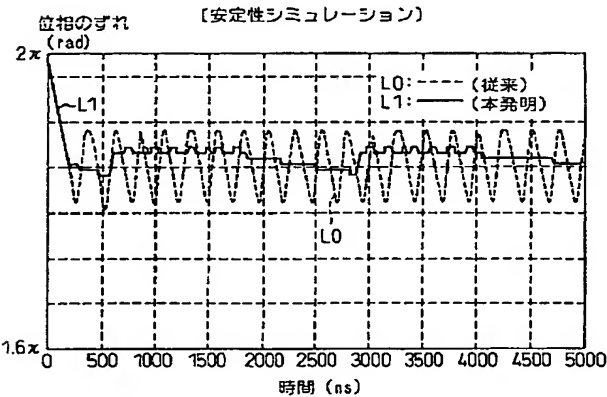
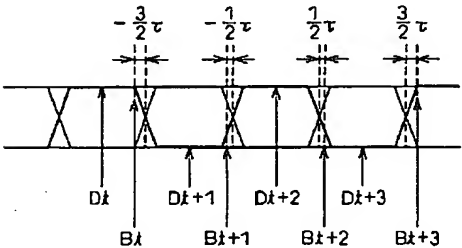
【図10】

本発明および従来のクロック再生回路モデルによる受信回路の位相安定性のシミュレーション結果の一例を比較して示す図

図 10

【図9】

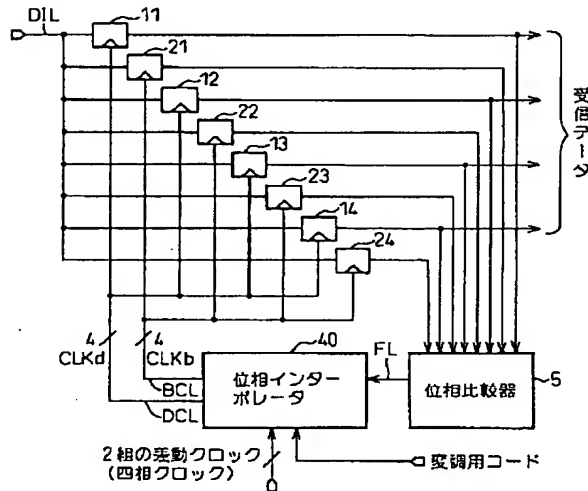
図 9
図 8 の受信回路の動作を説明するための図



【図11】

図 11

本発明に係る受信回路の第2実施例を概略的に示すブロック図



【図12】

図11の受信回路における位相インターポレータの一構成例を示すブロック図

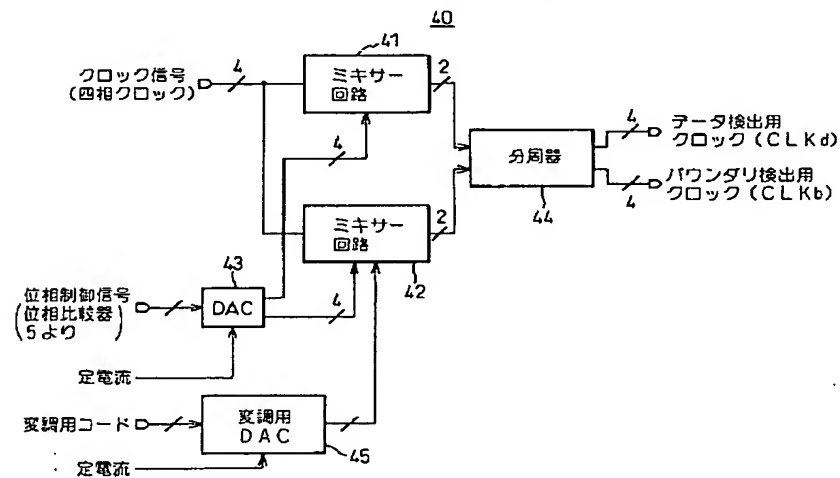


図 12

【図13】

本発明に係る受信回路の第3実施例を概念的に示すブロック図

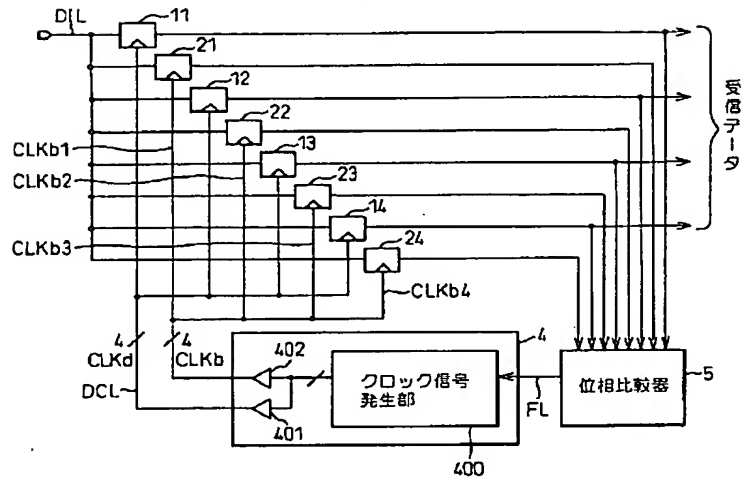
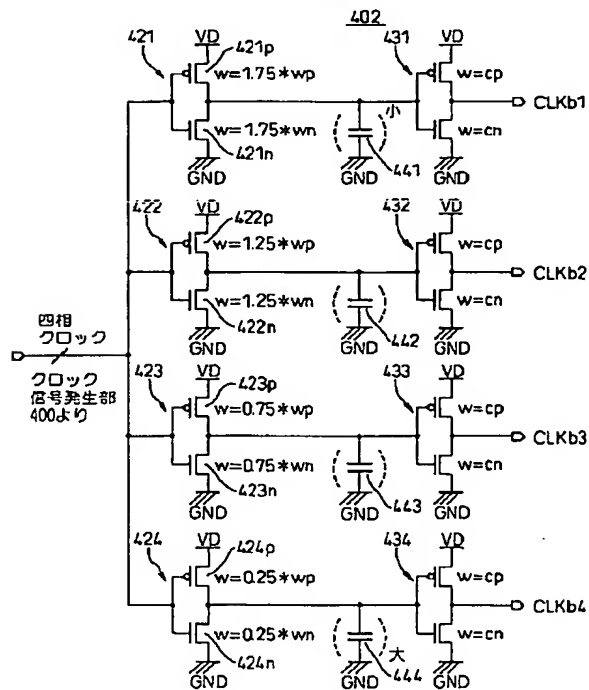


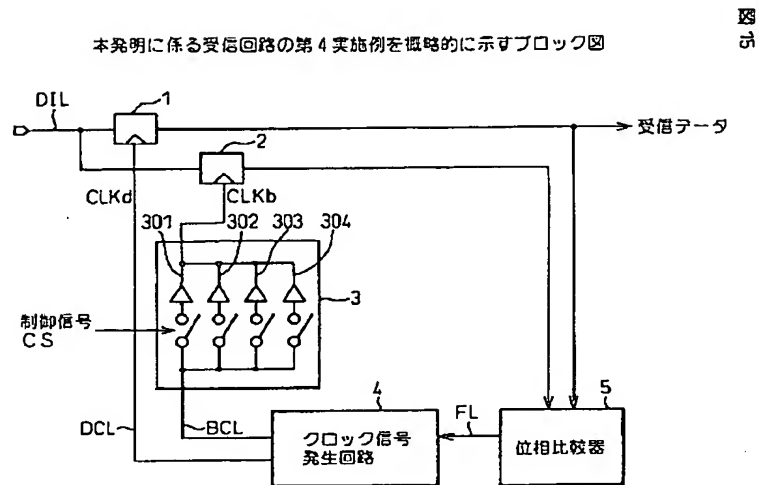
図13

【図14】

図14 図13の受信回路におけるパワンドリット検出判定回路用クロックバッファの一構成例を示すブロック図



【図15】



フロントページの続き

Fターム(参考) 5K047 AA06 AA08 GG23 MM36 MM63